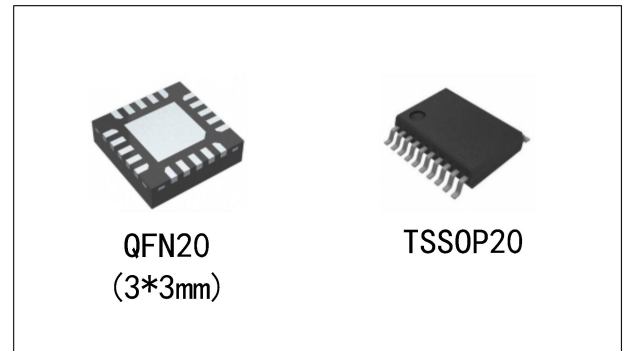




32 位基于 ARM 内核的带 32K 字节或 20K 字节内存的微控制器
5 个定时器，1 个 ADC，4 个通讯接口

功能

- 内核: **ARM 32 位的 Cortex™-M0**
 - 最高 48Mhz 工作频率
- 存储器
 - 20K 或 32K 字节的闪存程序存储器
 - 高达 2K 字节的 SRAM
- 时钟、复位和电源管理
 - 2.2~5.5V 供电和 I/O 引脚
 - 上电/断电复位(POR/PDR)、可编程电压监测器(PVD)
 - 内嵌经出厂调校的 24Mhz 的 RC 振荡器
 - 内嵌经出厂调校的 32Khz 的 RC 振荡器
 - 产生系统时钟的 PLL(固定 2 倍频)
- 低功耗
 - 睡眠和深度睡眠状态
- 1 个 12 位模数转换器, 多达 8 个输入通道
 - 转换范围: 0 至 VDD
 - 独立编程的采样时间
- 多达 18 个快速 I/O 端口
 - 多功能的数字/模拟复用 IO
 - 所有 I/O 口都可以映像到外部中断



- 调试模式
 - 串行调试接口(SWD)
- 多达 5 个定时器
 - 1 个 16 位带死区控制和紧急刹车, 用于电机控制的 PWM 高级控制定时器
 - 2 个 16 位的基本定时器
 - 1 个看门狗定时器(独立的)
 - 1 个系统时间定时器(24 位自减型计数器)
- 多达 4 个通信接口
 - 1 个 I2C 接口
 - 多达 2 个 UART 接口(支持 IrDA 接口和调制控制)
 - 1 个 SPI 接口
- **CRC 计算单元, 96 位的芯片唯一代码**

表 1 器件列表

参考	基本型号
PT32F005x6	PT32F005F6

目录

目录	2
1 介绍	4
2 规格说明	5
2.1 器件一览	5
2.2 概述	6
2.2.1 ARM®的 Cortex™-M0 核心并内嵌闪存和 SRAM	6
2.2.2 内置闪存存储器	6
2.2.3 内置 SRAM	6
2.2.4 CRC(循环冗余校验)计算单元	6
2.2.5 嵌套的向量式中断控制器(NVIC)	6
2.2.6 外部中断控制器(EXTI)	7
2.2.7 时钟和启动	7
2.2.8 ICP 模式	7
2.2.9 供电方案	7
2.2.10 供电监控器	7
2.2.11 电源调节器	8
2.2.12 低功耗模式	8
2.2.13 定时器和看门狗	8
2.2.14 I2C 总线	9
2.2.15 通用异步收发器(UART)	9
2.2.16 串行外设接口(SPI)	10
2.2.17 通用输入/输出接口	10
2.2.18 模拟/数字转换(ADC)	10
2.2.19 串行 SWD 调试口(SW-DP)	10
3 引脚定义	11
4 存储器映像	13
5 电气特性	14
5.1 测试条件	14
5.1.1 最大值和最小值	14
5.1.2 典型数值	14
5.1.3 典型曲线	14
5.1.4 引脚输入电压	14
5.1.5 供电方案	15
5.1.6 电流消耗测量	15
5.2 绝对最大额定值	16
5.3 工作条件	17
5.3.1 通用工作条件	17
5.3.2 上电和掉电时的工作条件	17
5.3.3 内嵌复位和电源控制模块特性	18
5.3.4 内置的参考电压	18
5.3.5 供电电流特性	19

5.3.6 内部时钟源特性	21
5.3.7 PLL 特性	22
5.3.8 存储器特性	22
5.3.9 绝对最大值(电气敏感性)	23
5.3.10 I/O 端口特性	24
5.3.11 NRST 引脚特性	26
5.3.12 TIM 定时器特性	27
5.3.13 通信接口	28
5.3.14 12 位 ADC 特性	33
6 封装特性	36
6.1 封装特性	36
6.2 订货代码	38
7 版本历史	39

1 介绍

本文给出了 PT32F005x 产品的订购信息和器件的机械特性。有关完整的 PT32F005x 系列的详细信息，请参考第 [2.2 节](#)。

PT32F005x 数据手册，必须结合《PT32x005x 参考手册》一起阅读，参考手册可在 PT 官网下载：www.pai-ic.com

有关 Cortex™-M0 核心的相关信息，请参考《Cortex-M0 技术参考手册》，可以在 ARM 公司的网站下载：<https://developer.arm.com/documentation/ddi0432/c>

2 规格说明

PT32F005x 系列使用高性能,低功耗的 Cortex™-M0 32 位内核,工作频率 48Mhz; 内置高速存储器(高达 32K 字节的 Flash 和最大 2K 字节的 SRAM), 多功能复用的 I/O 端口和连接到 APB 总线的丰富外设。所有型号的器件都包含 1 个 12 位的 ADC, 1 个高级定时器, 2 个基本 16 位定时器。还包含了标准和高性能的通信接口: 1 个 SPI 接口, 一个 I2C 接口和多达 2 个 UART 接口。

PT32F005x 系列产品支持 2.2V 至 5.5V 的超宽工作电压, 包含 -40° C 至 +85° 的温度范围, 一系列的省电模式保证低功耗应用的要求。

PT32F005x 系列产品提供 20 个引脚的不同封装形式; 根据不同的封装形式, 器件中的外设配置不尽相同。下面的表格中将罗列该系列产品中所有外设的基本介绍, 这些丰富的外设配置, 使得 PT32F005x 系列产品适合于多种应用场合:

- 工业应用:
 - 电机控制、医疗保健、家用和专业电器
 - 住宅、楼宇和城市自动化、变频器、打印机等等
- 个人电子产品:
 - 可穿戴设备、智能家居
 - 游戏外设、无人机、无线耳机等等

2.1 器件一览

表 2.1 PT32F005x 产品功能和外设配置

外设		PT32F005F6P6	PT32F005F6X6
Flash (K 字节)		32	
RAM (K 字节)		2	
定时器	高级定时器	1 个(TIM1)	
	基本定时器	2 个(TIM2、TIM3)	
通讯接口	UART	2 个(UART0、UART1)	
	SPI	1 个(SPI)	
	I2C	1 个(I2C)	
GPIO		17+1	
ADC (12 位, 500K 采样率)通道数		8+3	
系统时钟频率		48Mhz	
工作电压		2.2 ~ 5.5v	
工作温度		-40 ~ 85℃	
封装形式		TSSOP20	QFN20(3*3)

2.2 概述

2.2.1 ARM®的 Cortex™-M0 核心并内嵌闪存和 SRAM

ARM® 的 Cortex®-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、微小的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM® 的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

本产品拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

最大 20K 或 32K 字节的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

最大 2K 字节的内置 SRAM，内核能以 0 等待周期访问(读/写)。

2.2.4 CRC(循环冗余校验)计算单元

CRC(循环冗余校验)计算单元使用一个可编程的多项式发生器，从一个 16 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

2.2.5 嵌套的向量式中断控制器(NVIC)

PT32F005x 系列产品内置嵌套的向量式中断控制器，能够处理多达 32 个可屏蔽中断通道(不包括 16 个 Cortex™-M0 的中断线)和 4 个可编程的优先级设置。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.6 外部中断控制器(EXTI)

每个 IO 引脚内部都集成了一个独立的“电平和边沿检测器”，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件(上升沿、下降沿、高电平、低电平或双沿)，并能够单独地被屏蔽；有一个标志寄存器维持所有中断请求的状态。EXTI 可以检测到频率高达 20Mhz 的外部信号。

2.2.7 时钟和启动

系统时钟的选择是在启动时进行，复位后，内部 24Mhz 的 RC 振荡器 HSI 被选为默认的系统时钟，随后可以选择内部 32Khz 的 RC 振荡器 LSI，或 HSI 和 LSI 经 PLL 倍频后生成的 64Khz、48Mhz 频率来作为系统时钟；

时钟安全机制为系统时钟提供了强鲁棒性，当检测到 32K 或 PLL 生成的系统时钟失效时，这些失效时钟将被隔离，系统将自动地切换到内部 24Mhz 的 RC 振荡器，如果使能了相应的失效事件中断，软件可以接收到相应的中断。

多个预分频器用于配置 AHB 和高速 APB 的频率。AHB 和高速 APB 的最高频率是 48Mhz。更多详细信息请参考《PT32x005x 参考手册》的“4.4 时钟功能描述”的图 4.2 时钟树框图’

2.2.8 ICP 模式

在启动时，通过编程配置可以选择系统从 Bootloader 区启动，这个 Bootloader 区存在于内置的闪存存储器中，并且大小可以被编程定义，更多详细信息，请参考《PT32x005x 参考手册》。

2.2.9 供电方案

VDD = 2.2~5.5V: VDD 引脚为片内所有资源供电，包括但不限于：

- I/O 引脚
- 内部电源调节器
- ADC
- 复位模块
- PLL 的模拟部分

关于如何连接电源引脚的详细信息，参见图 5.2 供电方案。

2.2.10 供电监控器

产品内部集成了上电复位(POR)/掉电复位(PDR)电路，该电路始终处于工作状态，保证系统在供电超过 2.2V 时工作；当 VDD 低于设定的阈值($V_{POR/PDR}$)时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器(PVD)，它监视 VDD 供电并与编程设定的阈值比较，当 VDD 低于或高于阈值时产生中断或复位，中断处理程序可以发出警告信息或将微控制器转入自定义的安全模式。PVD 功能需要通过程序开启。关于 $V_{POR/PDR}$ 和 V_{PVD} 的值参考表 5.3.3。

2.2.11 电源调节器

调节器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

2.2.12 低功耗模式

PT32F005x 系列产品支持两种低功耗模式，可以在要求低功耗，短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠状态：

在睡眠模式，只有内核停止，所有外设处于工作状态并可在发生中断/事件时唤醒内核。

- 深度睡眠状态：

在保持 SRAM 和寄存器内容不丢失的情况下，深度睡眠状态可以达到最低的电能消耗。

在深度睡眠状态下，只有 LSI 时钟挂载的外设可以正常运行，寄存器、内存的信息仍保存，程序在唤醒后仍从上一次停止处执行；

注意：上电时，如果要关闭 LSI，则应当保证至少 8mS 的延时，否则将导致 BG1v5 异常

2.2.13 定时器和看门狗

PT32F005x 系列产品包含了 1 个高级定时器、2 个基本定时器、以及 1 个独立看门狗定时器和一个系统滴答定时器。

下表比较了高级定时器和基本定时器的功能：

表 2.2 定时器功能比较

定时器	计数器分辨率	计数器方向	预分频系数	捕获/比较通道	互补输出
TIM1	16 位	向上、向下、向上/向下(中央计数)	1~65536 间的任意整数	4	有
TIM2 TIM3	16 位	向上、向下	1~65536 间的任意整数	无	无

2.2.13.1 高级定时器(TIM1)

高级控制定时器(TIM1)集成了 CH1~CH4 共计 4 路独立的通道，每路独立的通道还绑定了一路带死区插入功能的互补 PWM 输出。

这四个独立的通道(CH1~CH4)可以用于：

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位标准定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力(0~100%)。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

2.2.13.2 基本定时器(TIMx)

PT32F005x 系列产品中，内置了多达 2 个基本定时器(TIM2、TIM3)。每个定时器都有一个 16 位的自动加载的向上递增/向下递减计数器、一个 16 位的预分频器。
在调试模式下，计数器可以被冻结。

2.2.13.3 独立看门狗(IWDG)

独立的看门狗基于一个 16 位的向下递减计数器和一个 16 位的预分频器，它由内部独立的 32KHz RC 振荡器提供时钟；因为这个 RC 振荡器独立于主时钟，所以它可运行于深度睡眠状态。它可以用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。
在调试模式下，IWDG 计数器可以被冻结。

2.2.13.4 系统时基定时器(SysTick)

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 I2C 总线

I2C 总线接口，能够工作于多主模式或从模式，支持最大 1Mbps 速率的多种通讯模式。

I2C 接口支持 7 位寻址；协议兼容机制支持在从机状态时，仅需修改软件，就可以适应主机发来的不同的通讯速率。

2.2.15 通用异步收发器(UART)

UART 接口通信速率可达 3Mbps。

最大 4 级的 FIFO 缓冲队列和 7 位至 9 位的可编程数据字长度，以提供灵活性和兼容性的平衡。

所有的 UART 接口均支持单线半双工通信，集成的红外串行协议调制器以支持“单线单工仅发送”的红外通讯模式。

2.2.16 串行外设接口(SPI)

在主模式下，全双工和半双工的通信速率最高可达 12Mbps。

最大 8 级的 FIFO 缓冲队列和 4~16 位可编程的数据帧格式选择，以提供灵活性和兼容性的平衡。

总共 16 位(8+8)的预分频器可以适应多种通讯速率需求。

2.2.17 通用输入/输出接口

每个 GPIO 引脚都可以由软件配置成输出(推挽或开漏)、输入(带或不带上/下拉电阻)或复用的外设功能端口。

所有的 GPIO 引脚都可作为外部中断，多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。

通过分开的使能和失能操作控制寄存器，提供中断安全的 GPIO 操作。

2.2.18 模拟/数字转换(ADC)

产品内嵌 1 个 12 位的模拟/数字转换器(ADC)，该 ADC 拥有多达 11 个采样通道，允许 ADC 测量 8 个外部和 3 个内部信号源。

ADC 可以实现单次、连续或定时器触发转换。由基本定时器(TIMx)和高级控制定时器(TIM1)产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 AD 转换与时钟同步。

2.2.19 串行 SWD 调试口(SW-DP)

内嵌 ARM 的两线串行调试端口 (SW-DP)。

3 引脚定义

图 3-1 PT32F005x 系列 TSSOP20 封装引脚分布

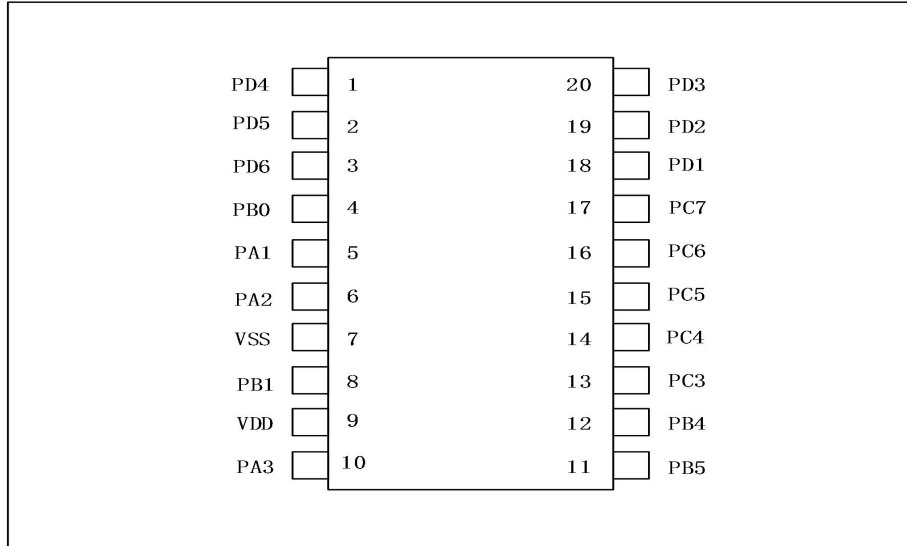


图 3-1 PT32F005x 系列 QFN20(3*3)封装引脚分布

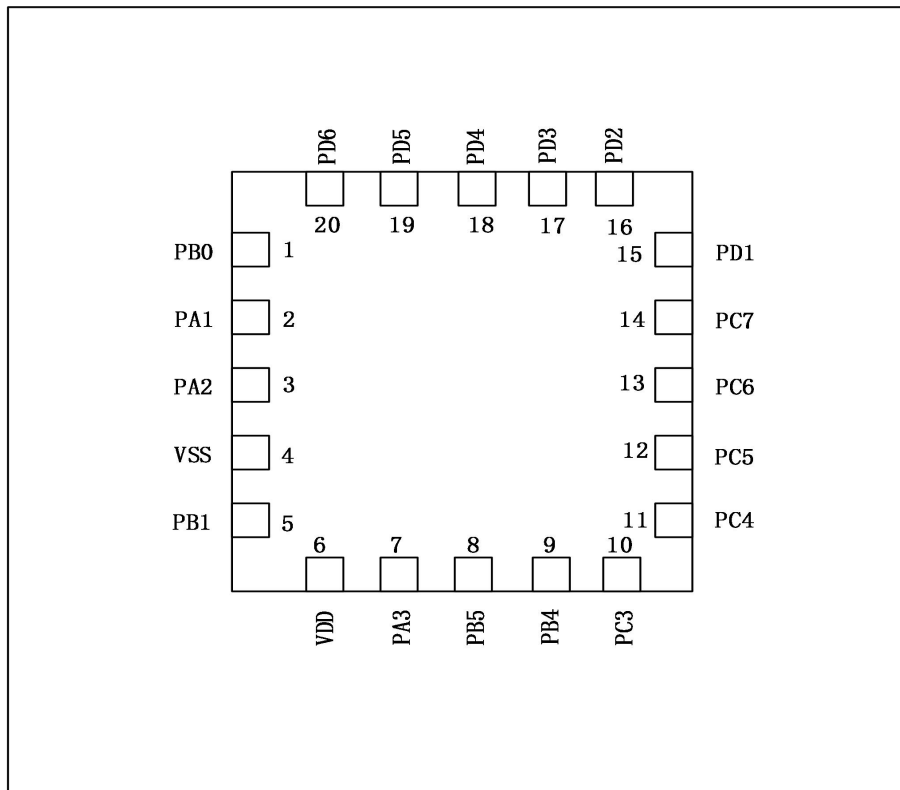


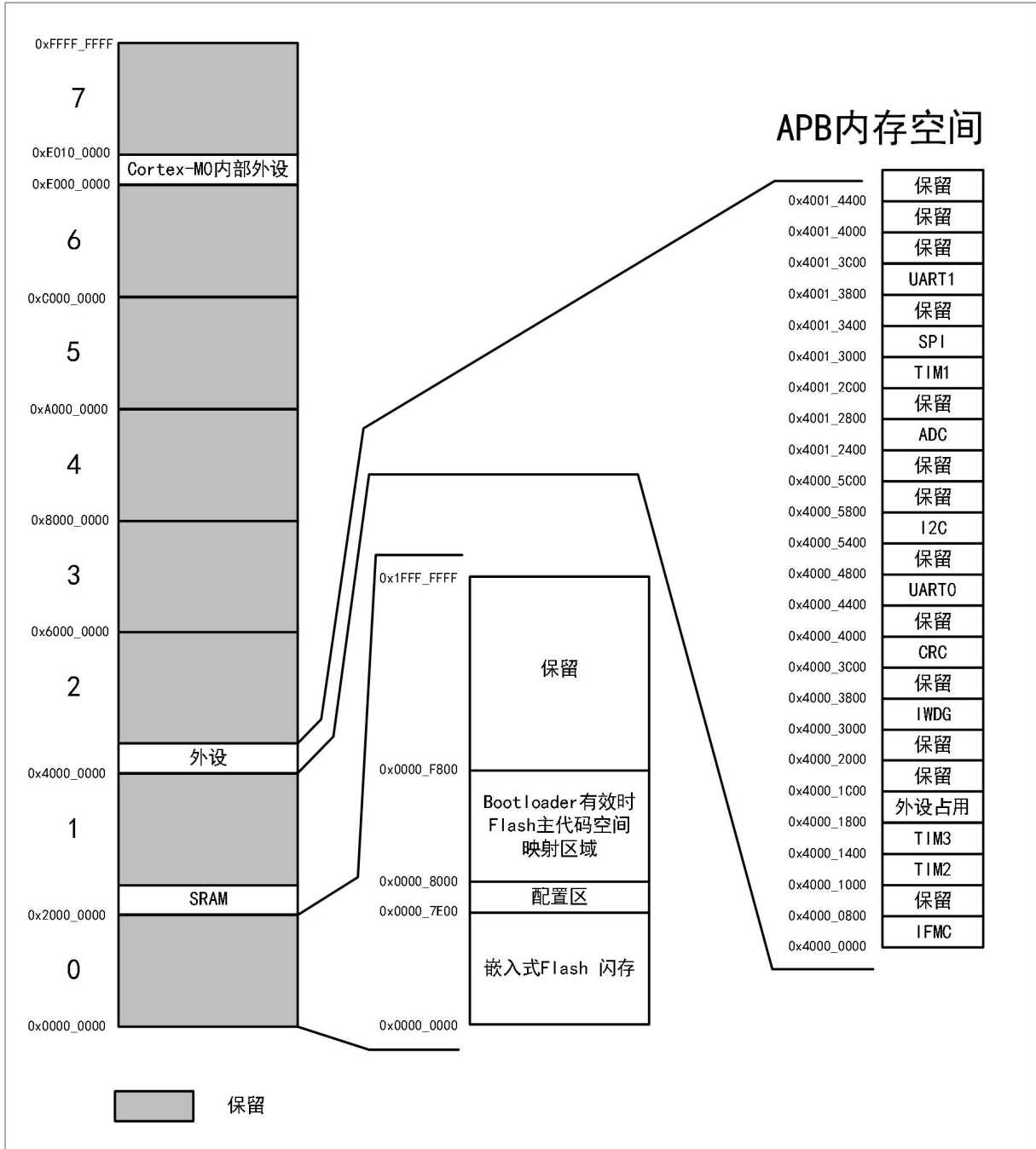
表 3-1 PT32F005x 系列引脚定义

引脚编号		管脚名称	类型 ⁽¹⁾	主功能 ⁽²⁾ (复位后)	数字复用功能							模拟复用功能	
QFN20(3*3)	TSSOP20				功能 0	功能 1	功能 2	功能 3	功能 4	功能 5	功能 6		
1	4	PB0	I/O	PB0	NRST ⁽²⁾	-	-	-	-	-	-	-	-
2	5	PA1	I/O	PA1	-	-	-	-	-	-	-	-	ADC_IN1
3	6	PA2	I/O	PA2	-	-	-	-	-	-	-	-	ADC_IN0
4	7	VSS	S	VSS	-	-	-	-	-	-	-	-	-
5	8	PB1	I/O	PB1	SWDIO ⁽²⁾	UART1_TX	-	-	-	-	-	-	-
6	9	VDD	S	VDD	-	-	-	-	-	-	-	-	-
7	10	PA3	I/O	PA3	-	SPI_CS	-	-	-	-	-	-	-
8	11	PB5	I/O	PB5	I2C_SDA	TIM1_BK1	-	-	-	-	-	-	-
9	12	PB4	I/O	PB4	I2C_SCL	-	-	-	-	-	-	-	-
10	13	PC3	I/O	PC3	-	TIM1_CH1N	TIM1_CH3	-	-	-	-	-	-
11	14	PC4	I/O	PC4	MCO	TIM1_CH2N	TIM1_CH4	-	-	-	-	-	ADC_IN7
12	15	PC5	I/O	PC5	-	SPI_SCK	-	-	-	-	-	-	-
13	16	PC6	I/O	PC6	-	SPI_MOSI	TIM1_CH1	-	-	-	-	-	-
14	17	PC7	I/O	PC7	-	SPI_MISO	TIM1_CH2	-	-	-	-	-	-
15	18	PD1	I/O	PD1	SWCLK ⁽²⁾	UART1_RX	-	-	-	-	-	-	-
16	19	PD2	I/O	PD2	-	TIM1_CH3N	-	-	-	-	-	-	ADC_IN6
17	20	PD3	I/O	PD3	-	TIM1_CH4N	-	-	-	-	-	-	ADC_IN5
18	1	PD4	I/O	PD4	-	-	-	-	-	-	-	-	ADC_IN4
19	2	PD5	I/O	PD5	UART0_TX	-	-	-	-	-	-	-	ADC_IN3
20	3	PD6	I/O	PD6	UART0_RX	-	-	-	-	-	-	-	ADC_IN2

1. I= 输入, O= 输出, S= 电源
2. 复位后, 该引脚功能默认为数字复用功能 0

4 存储器映像

图 4.1 存储器图



5 电气特性

5.1 测试条件

除非特别说明，所有电压的都以 VSS 为基准。

5.1.1 最大值和最小值

除非特别说明，最小和最大数值是在环境温度 $T_A = 25^\circ\text{C}$ ， $V_{DD} = 3.3\text{V}$ 下执行的测试。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A = 25^\circ\text{C}$ 和 $V_{DD} = 3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

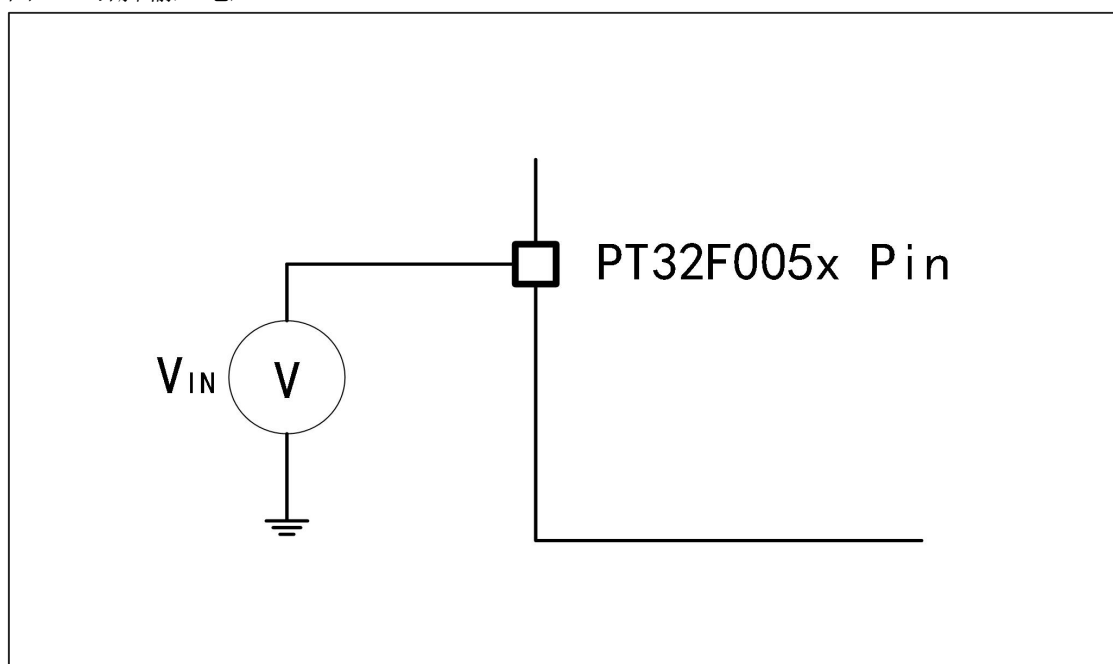
5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 引脚输入电压

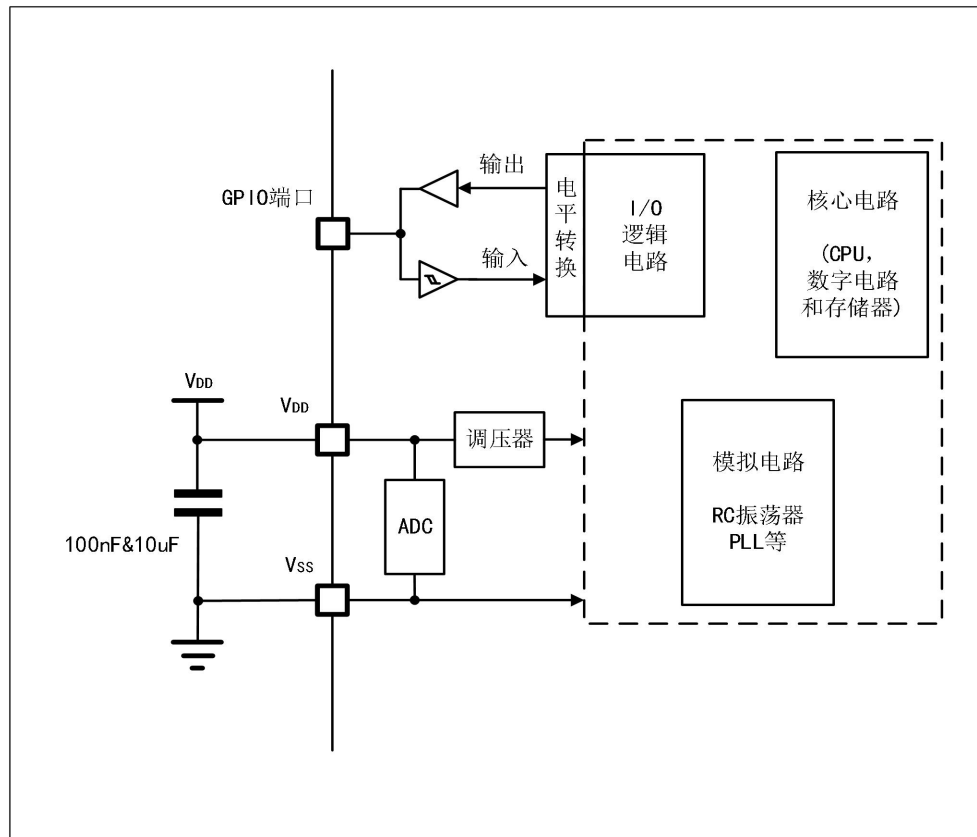
引脚上输入电压的测量方式示于下图。

图 5.1 引脚输入电压



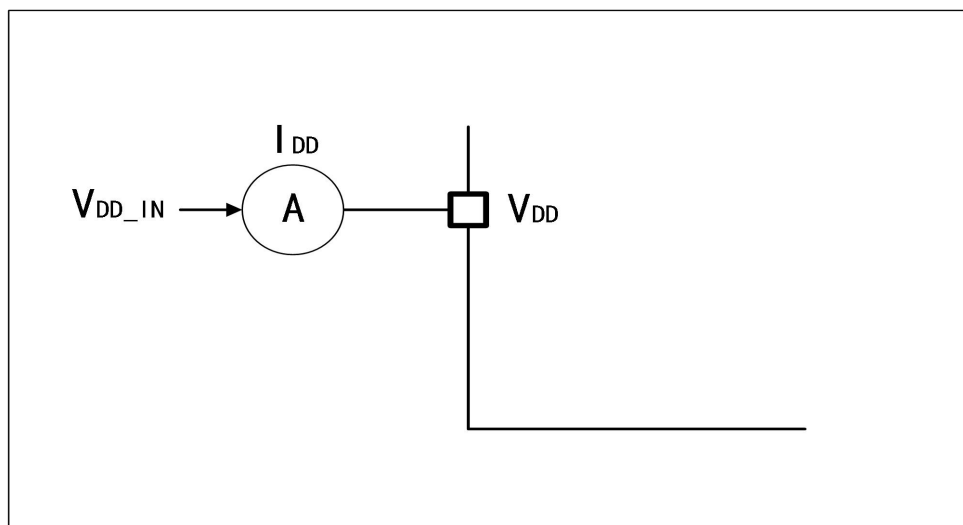
5.1.5 供电方案

图 5.2 供电方案



5.1.6 电流消耗测量

图 5.3 电流消耗测量



5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 5.2.1、表 5.2.2、表 5.2.3)中给出的值,可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 5.2.1 电压特性

符号	描述	最小值	最大值	单位
$V_{DD}-V_{SS}^{(1)}$	外部主供电电压	-0.3	6	V
$V_{IN}^{(2)}$	在引脚上的输入电压	$V_{SS}-0.3$	$V_{DD}+0.3$	
V_{ESD}	ESD 静电放电电压	详见 5.3.9 节		

1. 电源(VDD)和地(VSS)引脚必须始终连接到外部允许范围内的供电系统上
2. $I_{IN(PIN)}$ 绝对不可以超过它的极限(见表 5.2.2), 这需要确保 V_{IN} 不超过其最大值。如果不能保证, 也应当限制 $I_{IN(PIN)}$ 在最大值以内; 当 $V_{IN}>V_{IN}$ 最大值时, 有一个正向注入电流; 当 $V_{IN}<V_{SS}$ 时, 有一个反向注入电流。

表 5.2.2 电流特性

符号	描述	最大值	单位
$I_{VDD}^{(1)}$	经过 VDD 电源线的总电流(供应电流)	150	mA
$I_{VSS}^{(1)}$	经过 VSS 地线的总电流(流出电流)	150	
I_{IO}	任意 I/O 和控制引脚上的输入灌电流	20	
	任意 I/O 和控制引脚上的输出电流	-20	
$\Sigma I_{IN(PIN)}^{(2)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁴⁾	± 20	

1. 电源(VDD)和地(VSS)引脚必须始终连接到外部允许范围内的供电系统上
2. $I_{IN(PIN)}$ 绝对不可以超过它的极限(见表 5.2.2), 这需要确保 V_{IN} 不超过其最大值。如果不能保证, 也应当限制 $I_{IN(PIN)}$ 在最大值以内; 当 $V_{IN}>V_{DD}$ 最大值时, 有一个正向注入电流; 当 $V_{IN}<V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。参考第 5.3.14 节。
4. 当几个 I/O 口同时有注入电流时, $\Sigma I_{IN(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。

表 5.2.3 温度特性

符号	描述	数值	单位
T_{STG}	存储温度范围	-65~+150	°C
T_{Jmax}	最大结温度	+150	

5.3 工作条件

5.3.1 通用工作条件

表 5.3.1 通用工作条件

符号	描述	条件	最小值	最大值	单位
f _{SYS_CLK}	系统时钟	-	0.032	48	Mhz
f _{HCLK}	内部 AHB 时钟	-			
f _{PCLK}	内部 APB 时钟	-			
V _{DD}	标准工作电压	-	2.2	5.5	V
T _A	环境温度	最大功率耗散 ⁽¹⁾	-40	85	°C
T _J	结温度范围	-	-40	105	

1. 在较低的功率耗散的状态下，只要 T_J 不超过 T_J 最大值(参见表 5.2.3 温度特性)，T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5.3.2 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t _{VDD}	VDD 上升速度	-	0.1	∞	μS/V
	VDD 下降速度		20	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.3 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电源电压检测器的电平选择	PLS[2:0]=001(上升沿)	-	1.76	-	V
		PLS[2:0]=001(下降沿)	-	1.7	-	
		PLS[2:0]=010(上升沿)	-	2.3	-	
		PLS[2:0]=010(下降沿)	-	2.2	-	
		PLS[2:0]=011(上升沿)	-	2.85	-	
		PLS[2:0]=011(下降沿)	-	2.75	-	
		PLS[2:0]=100(上升沿)	-	3.6	-	
		PLS[2:0]=100(下降沿)	-	3.5	-	
		PLS[2:0]=000(上升沿)	-	4.2	-	
		PLS[2:0]=000(下降沿)	-	4.0	-	
V _{PVDhyst} ⁽¹⁾	PVD 迟滞	-	-	100	-	mV
V _{POR/PDR}	上电/掉电复位阈值	上升沿	-	1.75	-	V
		下降沿	-	1.70	-	
V _{PDRhyst} ⁽¹⁾	PDR 迟滞	-	-	50mV	-	mV

1. 由设计保证，不在生产中测试。

5.3.4 内置的参考电压

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.4 内置的参考电压⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	精度	单位
BG1v5	内部参考电压源	40°C < TA < +85°C	1.425	1.5	1.575	±5%	V
BG1v2			1.14	1.2	1.26	±5%	
BG1v0			0.995	1.0	1.005	±0.5%	

1. 由设计保证，不在生产中测试。

5.3.5 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

电流消耗的测量方法说明，详见(图 5.3 电流消耗测量)。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

5.3.5.1 系统电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——VDD 或 VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率(0~24Mhz 时为 0 个等待周期，48Mhz 时为 1 个等待周期)。
- 当开启外设时： $f_{SYS_CLK}=f_{PCLK} = f_{HCLK}$ 。

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.5.1 运行模式下的最大电流消耗，代码运行在内部 RAM 或 Flash 闪存中

符号	参数	条件	F_{HCLK}	最大值 ⁽¹⁾	单位
				$T_A=25^{\circ}C$	
I_{DD}	运行模式下的供应电流	内部时钟 ⁽²⁾	48Mhz	6.8	mA
		关闭所有外设	24Mhz	3.6	

1. 由综合评估得出，不在生产中测试。
2. 内部时钟为 24Mhz，当 $f_{SYS_CLK}>24Mhz$ 时启用 PLL。

表 5.3.5.2 低功耗模式下睡眠状态的最大电流消耗，代码运行在内部 RAM 或 Flash 中

符号	参数	条件	F_{HCLK}	最大值 ⁽¹⁾	单位
				$T_A=25^{\circ}C$	
I_{DD}	睡眠状态下的供应电流	内部时钟 ⁽²⁾	48Mhz	3.2	mA
		关闭所有外设	24Mhz	1.8	

1. 由综合评估得出，不在生产中测试。
2. 内部时钟为 24Mhz，当 $f_{HCLK}>24Mhz$ 时启用 PLL。

表 5.3.5.3 低功耗模式下的典型电流消耗

符号	参数	条件	典型值 ⁽¹⁾	单位
			$T_A=25^{\circ}C$	
I_{DD}	深度睡眠状态下的供应电流	LSI 使能	5	μA
		LSI 关闭	3	

1. 由综合评估得出，不在生产中测试。

5.3.5.2 内置外设电流消耗

内置外设的电流消耗列于下表，MCU 的工作条件如下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上——VDD 或 VSS(无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 VDD 供电电压条件列于(表 5.3.1 通用工作条件)。

表 5.3.5.4 内置外设的电流消耗

内置外设		25℃时的 典型功耗	单位
APB	TIM1	0.25	mA
	TIM2	0.2	
	TIM3	0.2	
	UART0	0.22	
	UART1	0.22	
	SPI	0.2	
	I2C	0.3	
	ADC	1.7	

5.3.6 内部时钟源特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

5.3.6.1 高速内部(HSI)RC 振荡器

表 5.3.6.1 HSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率	-	-	24	-	Mhz
ACC_{HSI}	HSI 振荡器精度	TA = -40°C~85°C	-1	-	+1	%
		TA = 0°C~50°C				
		TA = 25°C				
$t_{SU(HSI)}$	HSI 振荡器启动时间	-	-	16	-	μS
$I_{DD(HSI)}$	HSI 振荡器功耗	-	-	300	400	μA

1. VDD=3.3V, TA=-40~85°C, 除非特别说明
2. 由设计保证, 不在生产中测试

5.3.6.2 低速内部(LSI)RC 振荡器

表 5.3.6.2 LSI 振荡器特性⁽¹⁾⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率	-	-	32	-	Khz
ACC_{LSI}	LSI 振荡器精度	TA = -40°C~85°C	-30	-	+30	%
$t_{SU(LSI)}$	LSI 振荡器启动时间	-	-	65	-	μS
$I_{DD(LSI)}$	LSI 振荡器功耗	-	-	0.4	-	μA

3. VDD=3.3V, TA=-40~85°C, 除非特别说明
4. 由设计保证, 不在生产中测试

5.3.6.3 从低功耗模式唤醒的时间

下表列出的唤醒时间是在一个 24Mhz 的 HSI RC 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源默认为 HSI, 唤醒后使用的时钟由时钟配置寄存器(RCC_CFGR)的'WKS'位决定:

- 'WKS'=0:系统时钟默认为 HSI 时钟
- 'WKS'=1:系统时钟默认为“睡眠之前”的时钟

所用时间是使用环境温度和供电电压符合(表 5.3.1 通用工作条件)的条件测量得到。

表 5.3.6.3 低功耗模式的唤醒时间⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
$t_{WUSLEEP}$	从睡眠状态唤醒	使用 HSI RC 时钟唤醒	4	-	13.3	μS
$t_{WUDEEPSLEEP}$	从深度睡眠状态唤醒	使用 HSI RC 时钟唤醒	22	-	-	

- 1.唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.7 PLL 特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。
表 5.3.7 PLL 特性⁽¹⁾

符号	参数	参数	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟	-	0.032(LSI)	24	24(HSI)	Mhz
f_{PLL_OUT}	PLL 倍频输出时钟	-	0.064	-	48	

1. 由设计保证，不在生产中测试
2. 注意 PLL 的输入时钟，保证 f_{PLL_OUT} 处于允许范围
3. PLL 仅支持 2 倍频输入时钟

5.3.8 存储器特性

5.3.8.1 闪存存储器

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。
表 5.3.8.1 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值 ⁽¹⁾	单位
t_{prog}	32 位字的编程时间	-	6	-	7.5	μ S
t_{ERASE}	页(512 字节)擦除时间	-	4	-	5	mS
T_{ME}	整片擦除时间	-	-	-	280	
I_{DD}	供电电流	读模式, $f_{SYS_CLK}=48\text{Mhz}$ 1 个等待周期, VDD=3.3V	-	2.5	3.5	mA
		写/擦除模式, $f_{SYS_CLK}=48\text{Mhz}$ VDD=3.3V	-	-	3.5	mA
		深度睡眠模式 VDD=3.3V	-	0.5	-	μ A
V_{prog}	编程电压	-	2.2	-	5.5	V

1. 由设计保证，不在生产中测试。

表 5.3.8.2 闪存存储器寿命和数据保存期限

符号	参数	条件	最小值 ⁽¹⁾	典型值	最大值	单位
N_{END}	寿命(擦写次数)	$T_A = -40\sim 85^\circ\text{C}$	20K	-	-	次
t_{RET}	数据保存期限 ⁽²⁾	$T_A = 25^\circ\text{C}$	100	-	-	年
		$T_A = 105^\circ\text{C}$	20	-	-	

1. 由综合评估得出，不在生产中测试。
2. 循环测试均是在整个温度范围下进行。

5.3.9 绝对最大值(电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

5.3.9.1 静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关(3片 x (n+1)供电引脚)。这个测试符合 JESD22-A114/C101 标准。

表 5.3.9.1 ESD 绝对最大值

符号	参数	条件	类型	最大值 ⁽¹⁾	单位
V _{ESD(HBM)}	静电放电电压(人体模型)	TA=+25°C 符合 ESDA/JEDEC JS-001-2017	3B	8000	V
V _{ESD(CDM)}	静电放电电压(充电设备模型)	TA=+25°C 符合 ESDA/JEDEC JS-002-2018	C3	2000	

1. 由综合评估得出, 不在生产中测试。

5.3.9.2 静态栓锁

为了评估栓锁性能, 需要在 6 个样品上进行 2 个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD 78A 集成电路栓锁标准。

表 5.3.9.2 电气敏感性

符号	参数	条件	类型
LU	静态栓锁类	TA = +25°C/+85 °C 符合 JESD 78E	I 类 A II 类 A

5.3.10 I/O 端口特性

5.3.10.1 通用输入特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。所有的 I/O 端口都兼容 CMOS 和 TTL。

表 5.3.10.1 I/O 输入静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	-	-	-	$0.42 \cdot V_{DD}$	V
V_{IH}	输入高电平电压	-	$0.55 \cdot V_{DD}$	-	-	
$V_{hys}^{(1)}$	施密特触发器电压迟滞	-	250	-	-	mV
$I_{lk}^{(2)}$	输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$	-	-	10	nA
$R_{PU}^{(3)}$	弱上拉等效电阻	$V_{in}=V_{SS}, V_{DD}=3.3V$	-	85	-	K Ω
		$V_{in}=V_{SS}, V_{DD}=5.0V$	-	55	-	
$R_{PD}^{(3)}$	弱下拉等效电阻	$V_{in}=V_{DD}, V_{DD}=3.3V$	-	35	-	
		$V_{in}=V_{DD}, V_{DD}=5.0V$	-	45	-	
C_{IO}	I/O 引脚的电容		10	-	20	pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMON/NMOS 开关的电阻很小(约占 10%)

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置)，它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数：

- 对于 V_{IH} :
 - 如果 V_{DD} 是介于[2.20V~3.64V]；使用 CMOS 特性但包含 TTL。
 - 如果 V_{DD} 是介于[3.64V~5.50V]；使用 TTL 特性但包含 CMOS。
- 对于 V_{IL} :
 - 如果 V_{DD} 是介于[2.20V~2.33V]；使用 TTL 特性但包含 CMOS。
 - 如果 V_{DD} 是介于[2.33V~5.50V]；使用 CMOS 特性但包含 TTL。

5.3.10.2 输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 16mA$ 电流，并且吸收+20mA 电流(不严格的 V_{OL})。在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} ，参见(5.2 绝对最大额定值)。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} ，参见(5.2 绝对最大额定值)。

5.3.10.3 输出电压

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

表 5.3.10.2 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{OH}^{(1)}$	输出高电平电压	8mA 的低拉电流, $V_{DD}=3.3V$	$V_{DD}-0.40$	-	-	V
		16mA 的高拉电流, $V_{DD}=3.3V$	$V_{DD}-0.45$	-	-	
		8mA 的低拉电流, $V_{DD}=5.0V$	$V_{DD}-0.30$	-	-	
		16mA 的高拉电流, $V_{DD}=5.0V$	$V_{DD}-0.35$	-	-	
$V_{OL}^{(2)}$	输出低电平电压	10mA 的低灌电流, $V_{DD}=3.3V$	-	-	0.40	
		20mA 的高灌电流, $V_{DD}=3.3V$	-	-	0.45	
		10mA 的低灌电流, $V_{DD}=5.0V$	-	-	0.30	
		20mA 的高灌电流, $V_{DD}=5.0V$	-	-	0.35	

1. 芯片输出的电流 I_{IO} 必须始终遵循表 5.2.2 中给出的绝对最大额定值, 同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VDD}
2. 芯片吸收的电流 I_{IO} 必须始终遵循表 5.2.2 中给出的绝对最大额定值, 同时 I_{IO} 的总和(所有 I/O 脚和控制脚)不能超过 I_{VSS}

5.3.10.4 输入输出交流特性

输入输出交流特性的定义和数值由下表给出。

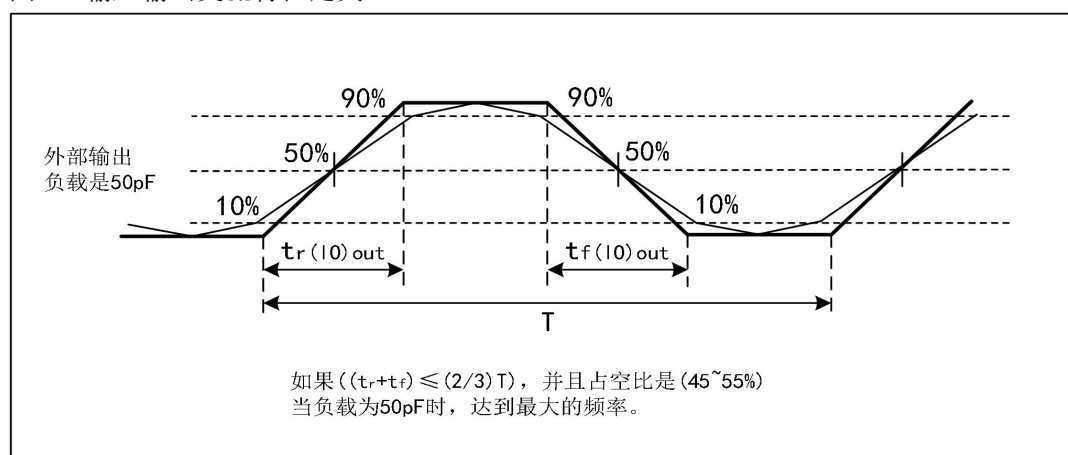
下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 5.3.10.3 输入输出交流特性

符号	参数	条件	最小值	最大值	单位
$f_{max(I/O)out}^{(1)}$	最大频率	$C_L = 50 pF, V_{DD} = 2.2 \sim 5.5V$	-	12	Mhz
$t_{f(I/O)out}$	输出高至低电平的下降时间	$C_L = 50 pF, V_{DD} = 2.2 \sim 5.5V$	-	21 ⁽²⁾	nS
$t_{r(I/O)out}$	输出低至高电平的上升时间	$C_L = 50 pF, V_{DD} = 2.2 \sim 5.5V$	-	21 ⁽²⁾	
t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度	-	-	40	nS

1. 最大频率在图 5.3 中定义
2. 由设计保证, 不在生产中测试。

图 5.4 输入输出交流特性定义



5.3.11 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它的内部连接了一个不能断开的上拉电阻， R_{PU} (参见表 5.3.10.1)。

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。NRST 支持被复用为通用 I/O，但在上电时，NRST 引脚的默认功能仍为 NRST。

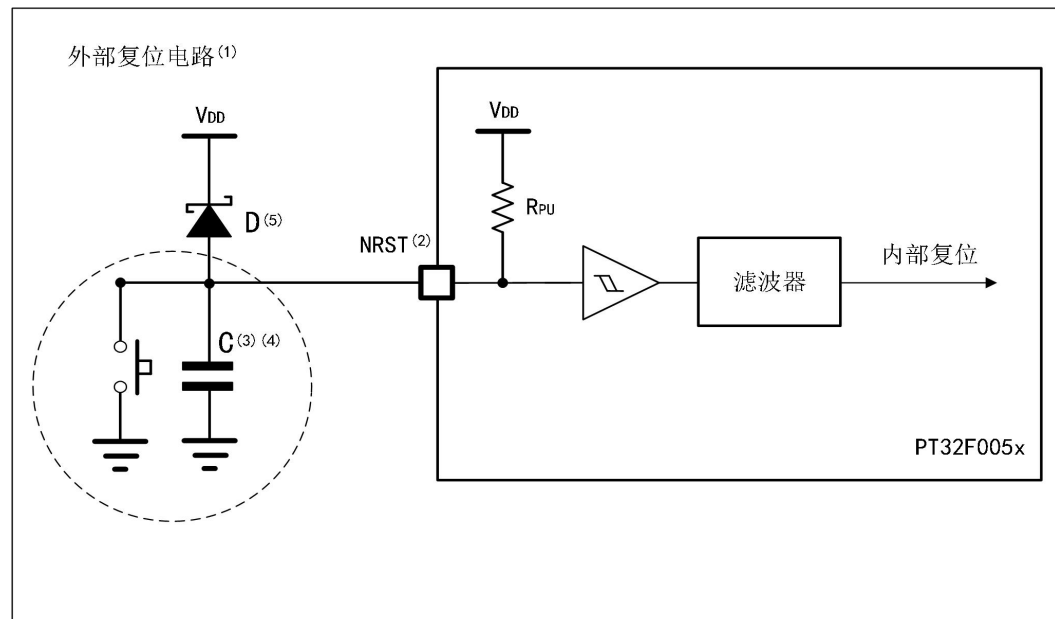
表 5.3.11 NRST 引脚特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	-	-	$0.42 \cdot V_{DD}$	V
$V_{IH(NRST)}$	NRST 输入高电平电压	$0.55 \cdot V_{DD}$	-	-	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	-	250	-	mV
$V_{F(NRST)}$	NRST 输入滤波脉冲	3	-	-	Tsys_clk

1. 由设计保证，不在生产中测试

注意：即使 NRST 引脚被复用，也应该保证存在外部电容。

图 5.5 必要的 NRST 引脚保护



1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 37 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位
3. 外部电容应该在 $1\mu F \sim 10\mu F$ 之间
4. 即使 NRST 引脚被复用，也应该保证存在外部电容
5. 应当保证存在一个“ $I_F=10mA$ 时，正向电压 V_F 不超过 $0.4V$ ”肖特基二极管

5.3.12 TIM 定时器特性

有关输入输出复用功能引脚(输出比较、输入捕获、外部时钟、PWM 输出)的特性详情, 参见第 5.3.10 节。

表 5.3.12 TIMx⁽¹⁾⁽²⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间	$f_{TIMxCLK}=48MHz^{(2)}$	20.83	-	nS
Re_{TIM}	定时器分辨率	-	-	16	位
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期	$f_{TIMxCLK}=48MHz$	0.02083	1365.1	μS
t_{MAX_COUNT}	最大可能的计数值/计数时间	-	-	65536*65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48MHz$	-	89.5	S

1. TIMx 是一个通用的名称, 根据不同型号的 MCU, 可能的有 TIM1~TIM8

5.3.13 通信接口

5.3.13.1 I2C 接口特性

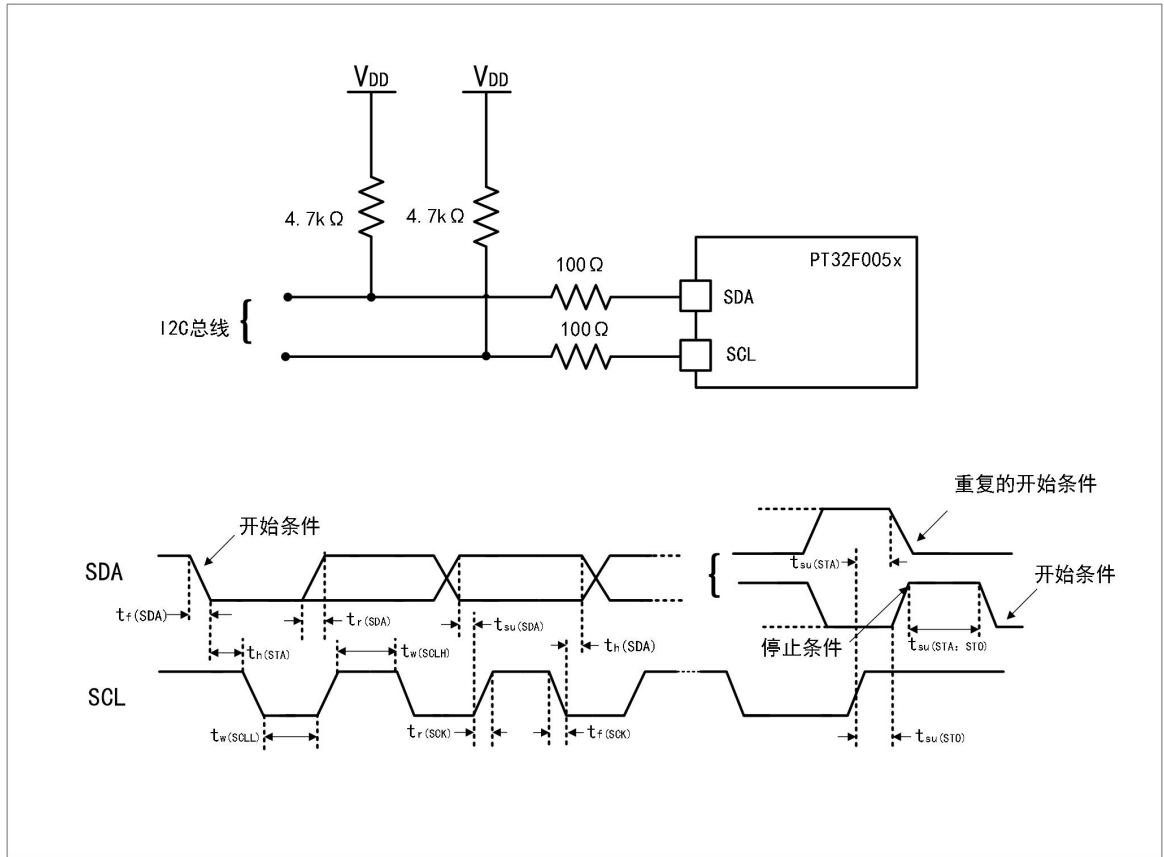
下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。PT32F005x 产品的 I2C 接口符合标准 I2C 通信协议，I2C 接口特性列于下表，有关输入输出复用功能引脚(SDA 和 SCL)的特性详情，参见第 5.3.10 节。

表 5.3.13.1 I2C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位	
		最小值	最大值	最小值	最大值		
$t_{w(SCLL)}$	SCL 时钟低时间	4.7	-	1.3	-	μ S	
$t_{w(SCLH)}$	SCL 时钟高时间	4.0	-	0.6	-		
$t_{su(SDA)}$	SDA 建立时间	4750	-	1125	-	nS	
$t_h(SDA)$	SDA 数据保持时间	250	-	125	-		
$t_r(SDA)$	SDA 和 SCL 上升时间	-	1000	$2.0+0.1C_b$	300		
$t_r(SCL)$							
$t_f(SDA)$	SDA 和 SCL 下降时间	-	300	-	300		
$t_f(SCL)$							
$t_h(STA)$	开始条件保持时间	5.4	-	1.4	-		μ S
$t_{su(STA)}$	重复的开始条件建立时间	5.4	-	1.4	-		
$t_{su(STO)}$	停止条件建立时间	5.4	-	1.4	-		
$t_w(STO:STA)$	停止条件至开始条件的的时间(总线空闲)	30.4	-	26.4	-		
C_b	每条总线的容性负载	-	400	-	400	pF	

1. 由设计保证，不在生产中测试。
2. 为达到标准模式 I2C 的最大频率， f_{CLK} 必须大于 2Mhz。为达到快速模式 I2C 的最大频率， f_{CLK} 必须大于 4Mhz。
3. 如果不要求拉长 SCL 信号的低电平时间，则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域，在 MCU 内部必须保证 SDA 信号上至少 300ns 的保持时间。

图 5.6 I2C 总线交流波形和测量电路



1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD

表 5.3.13.2 SCL 频率($f_{PCLK} = 24\text{Mhz}$, $V_{DD} = 3.3\text{V}$)⁽¹⁾⁽²⁾

$f_{SCL}(\text{Khz})$	BR[9:0]数值
	$R_p = 4.7\text{K}\Omega$
400	14
300	19
200	29
100	59
50	119
20	299

1. R_p = 外部上拉电阻, f_{SCL} = I2C 速度。
2. 对于 200kHz 左右的速度, 速度的误差是±5%。对于其它速度范围, 速度的误差是±2%。这些变化取决于设计中外部元器件的精度。

5.3.13.2 SPI 接口特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 V_{DD} 供电电压下测试得出。有关输入输出复用功能引脚(NSS、SCK、MOSI、MISO)的特性详情, 参见第 5.3.10 节。

表 5.3.13.3 SPI 接口特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f_{SCK} $1/t_{C(SCK)}$	SPI 时钟频率	主模式	-	12	Mhz
		从模式	-	4	
$t_{r(SCK)}$ $t_{f(SCK)}$	SPI 时钟上升和下降时间	负载电容: $C = 50pF$	-	21	nS
$t_{su(CS)}^{(1)}$	CS 建立时间	从模式	$12t_{PCLK}$	-	
$t_{h(CS)}^{(1)}$	CS 保持时间	从模式	350	-	
$t_{w(SCKH)}^{(1)}$ $t_{w(SCKL)}^{(1)}$	SCK 高和低的时间	主模式, $f_{PCLK} = 48Mhz$	80	87	
$t_{su(MI)}^{(1)}$	数据输入建立时间, 主模式	-	40	-	
$t_{su(SI)}^{(1)}$	数据输入建立时间, 从模式	-	80	-	
$t_{h(MI)}^{(1)}$	数据输入保持时间, 主模式	-	40	-	
$t_{h(SI)}^{(1)}$	数据输入保持时间, 从模式	-	80	-	
$t_{a(SO)}^{(1)(2)}$	数据输出访问时间	从模式, $f_{PCLK} = 48Mhz$	62	-	
$t_{dis(SO)}^{(1)(3)}$	数据输出禁止时间	从模式	62	-	
$t_{v(SO)}^{(1)}$	数据输出有效时间	从模式(使能边沿之后)	-	62	
$t_{v(MO)}^{(1)}$	数据输出有效时间	主模式(使能边沿之后)	-	62	
$t_{h(SO)}^{(1)}$ $t_{h(MO)}^{(1)}$	数据输出保持时间	从模式(使能边沿之后)	62	-	
		主模式(使能边沿之后)	1	-	

1. 由综合评估得出, 不在生产中测试
2. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间
3. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

图 5.7 SPI 时序图 - 从模式和 CPHA=0

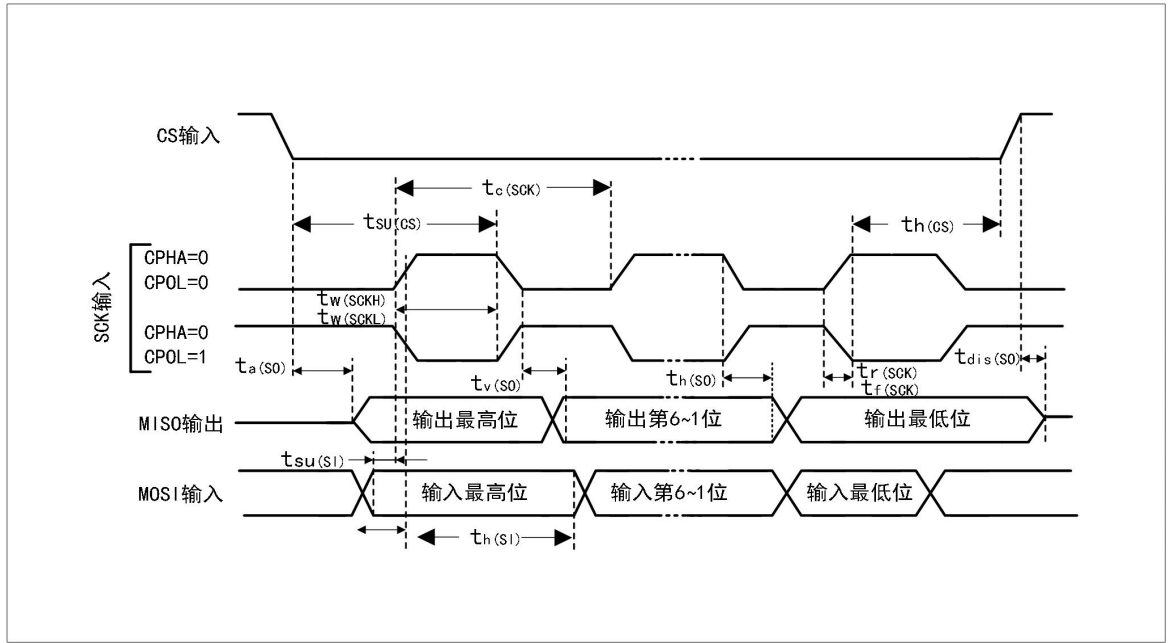
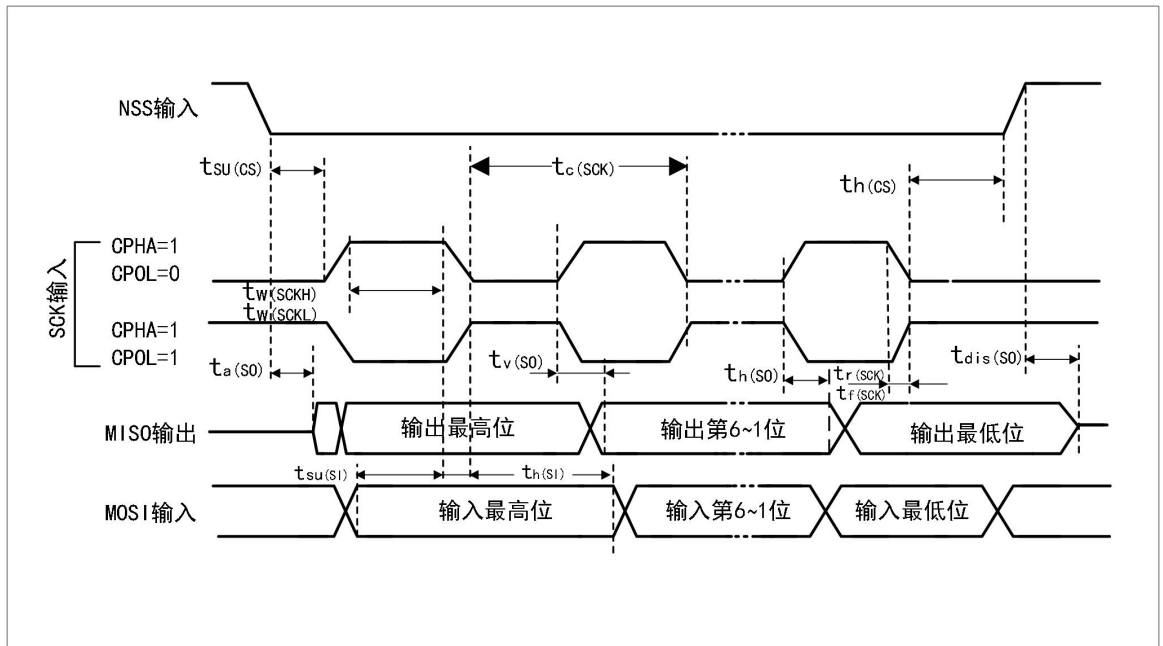
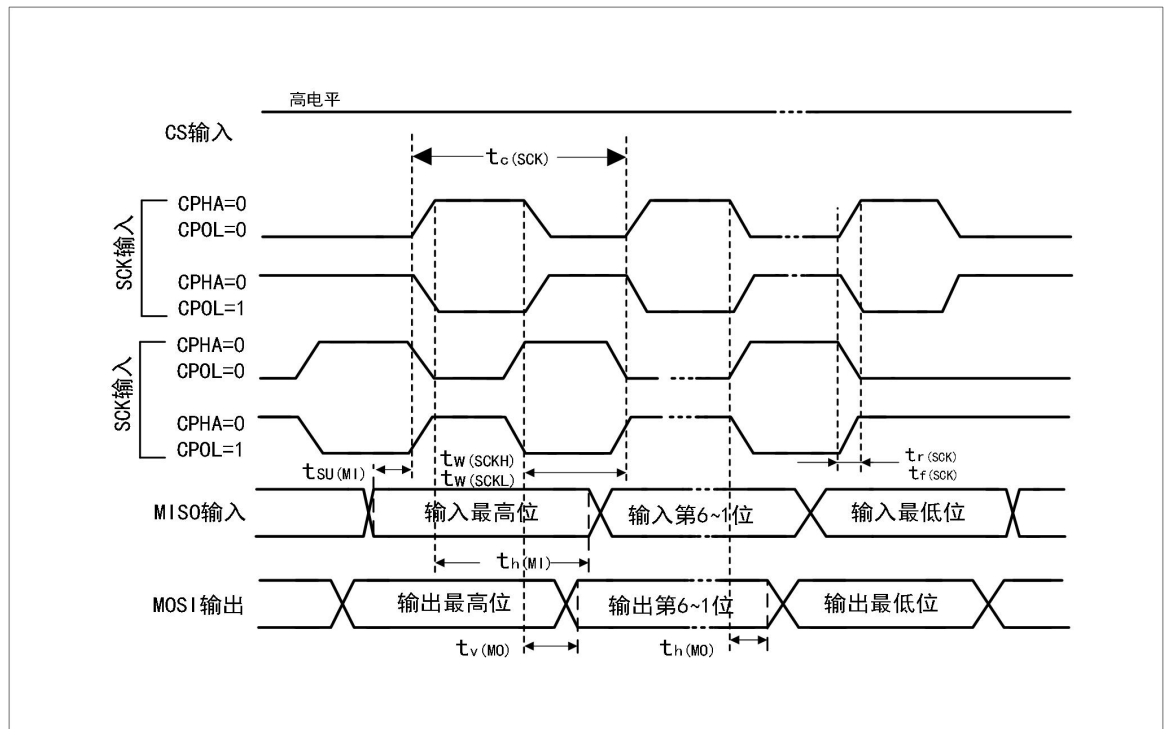


图 5.8 SPI 时序图 - 从模式和 CPHA=1⁽¹⁾



1. 测量点设置于 CMOS 电平： 0.3VDD 和 0.7VDD

图 5.9 SPI 时序图 – 主模式⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3VDD 和 0.7VDD

5.3.14 12 位 ADC 特性

下表中给出的参数是依据表(表 5.3.1 通用工作条件)列出的环境温度下和 VDD 供电电压下测试得出。

表 5.3.14.1 ADC 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{ADC}	ADC 工作电压	-	VDD			V
I_{ADC}	ADC 工作电流	$f_{ADC} = 10\text{Mhz}$	-	300	-	μA
f_{ADC}	ADC 时钟频率	-	0.5	-	10	Mhz
$f_S^{(1)}$	采样速率	-	-	-	0.527	Mhz
$f_{TRIG}^{(1)}$	外部触发频率	$f_{ADC} = 10\text{Mhz}$	-	-	500	Khz
$V_{AIN(2)}$	转换电压范围	-	0	-	VDD	V
$R_{AIN}^{(1)}$	外部输入阻抗	-	-	-	50	K Ω
$R_{ADC}^{(1)}$	采样开关电阻	-	-	-	5	
$C_{ADC}^{(1)}$	内部采样和保持电容	-	-	10	-	pF
$t_{SAM}^{(1)}$	采样时间	$f_{ADC} = 10\text{Mhz}$	0.3	-	25.5	μS
		-	3	-	255	$1/f_{ADC}$
$t_{RDY}^{(1)}$	上电稳定时间	-	2	-	-	μS
$t_{CONV}^{(1)}$	总的转换时间(包括采样时间)	$f_{ADC} = 10\text{Mhz}$	1.9	-	-	μS
		-	19	-	-	$1/f_{ADC}$

1. 由设计保证, 不在生产中测试

表 5.3.14.2 ADC 精度⁽¹⁾⁽²⁾⁽³⁾⁽⁴⁾

符号	参数	条件	最小值	典型值	最大值	单位
EO	偏移误差	-	-10	-	+10	LSB
EG	增益误差	-	-20	-	+20	LSB
ED	微分线性误差	-	-1.5	-	+1.5	LSB
EL	积分线性误差	-	-3	-	+3	LSB

1. ADC 的直流精度数值是在经过内部校准后测量的
2. 最佳的性能可以在受限的 VDD、频率、VREF 和温度范围下实现
3. ADC 精度与反向注入电流的关系：
 - ① 需要避免在任何标准的模拟输入引脚上注入反向电流, 因为这样会显著地降低另一个模拟输入引脚上正在进行的转换精度。建议在可能产生反向注入电流的标准模拟引脚上, (引脚与地之间)增加一个肖特基二极管。
 - ② 如果正向的注入电流, 只要处于“表 5.2 电流特性”中给出的 IINJ(PIN)和 Σ IINJ(PIN)范围之内, 就不会影响 ADC 精度。
4. 由综合评估保证, 不在生产中测试。

图 5.10 ADC 精度特性

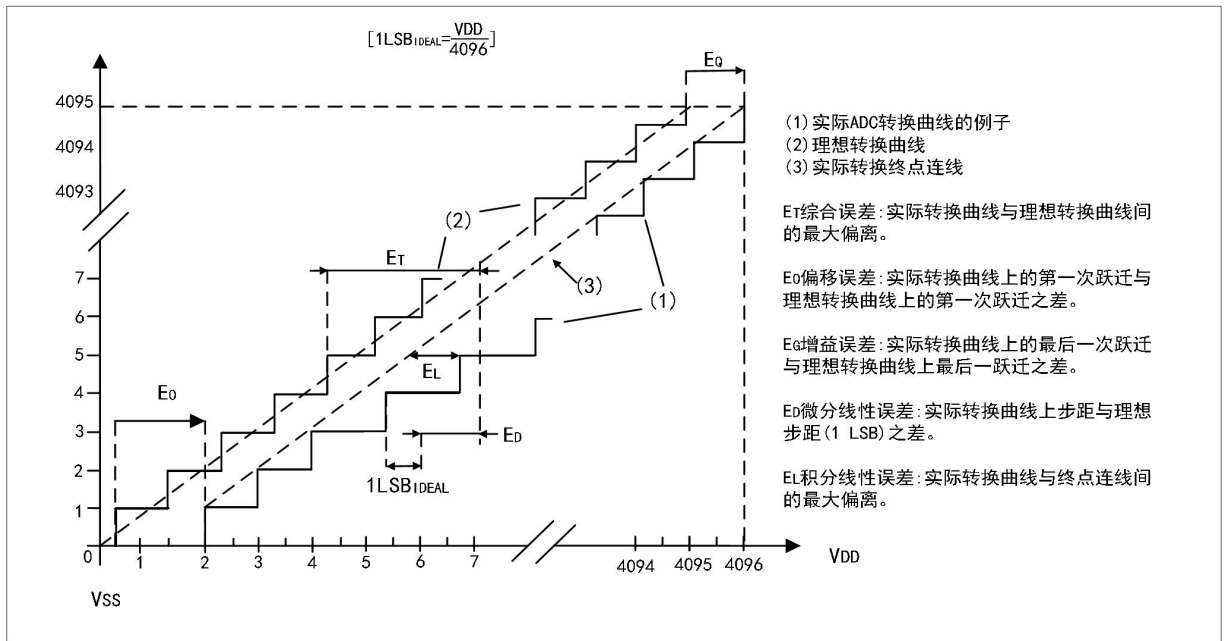
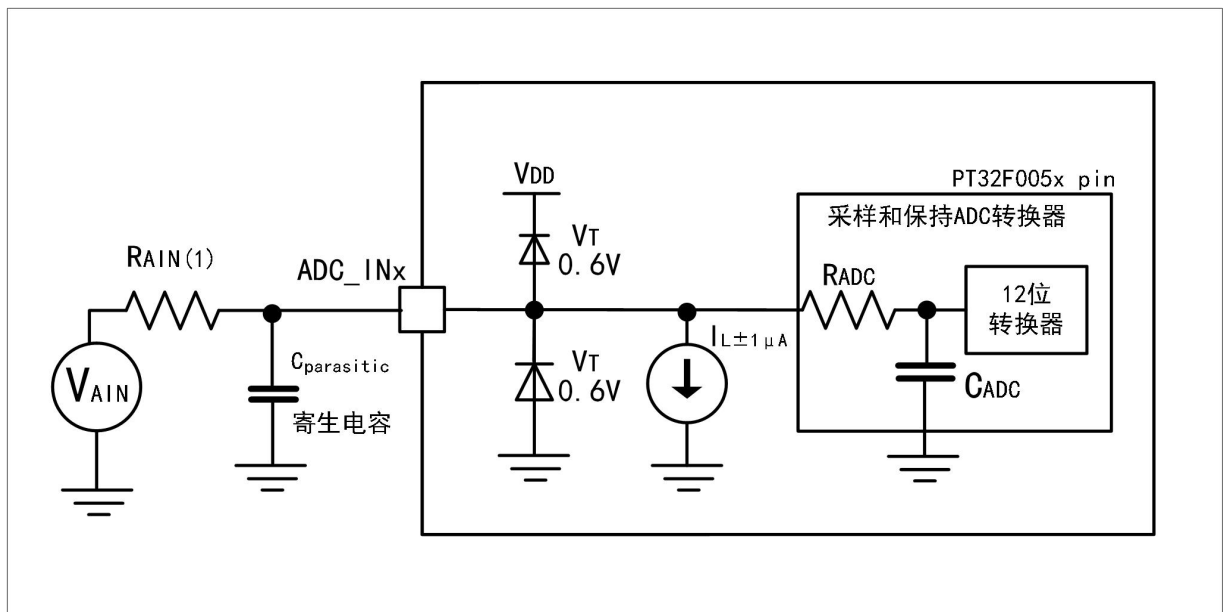


图 5.11 使用 ADC 典型的连接图

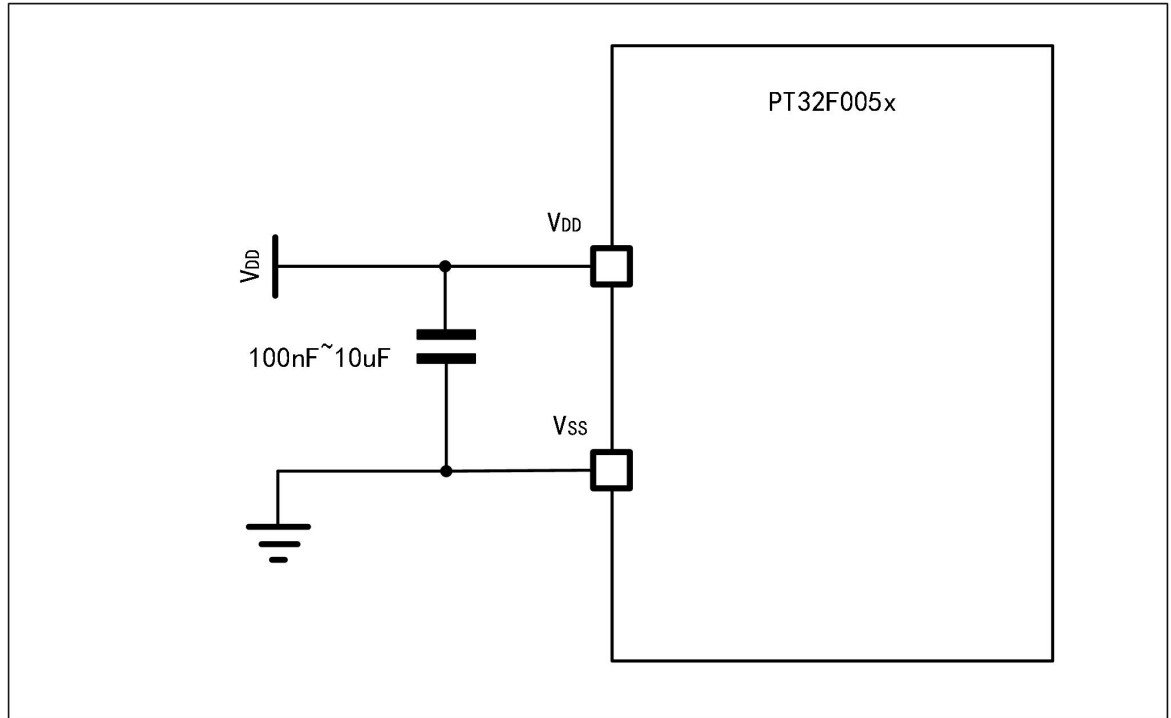


1. 有关 R_{AIN} 、 R_{ADC} 和 C_{ADC} 的数值, 参见表 5.3.14.1 ADC 特性
2. $C_{parasitic}$ 表示 PCB(与焊接和 PCB 布局质量相关)与焊盘上的寄生电容(大约 7pF)。较大的寄生电容数值将降低转换的精度, 解决的办法是减小 f_{ADC} 。

5.3.14.1 PCB 设计建议

电源的去藕必须按照图 5.11 连接。图中的“ $1\mu\text{F}\sim 10\text{nF}$ ”电容必须是陶瓷电容(好的质量)，它们应该尽可能地靠近 MCU 芯片。

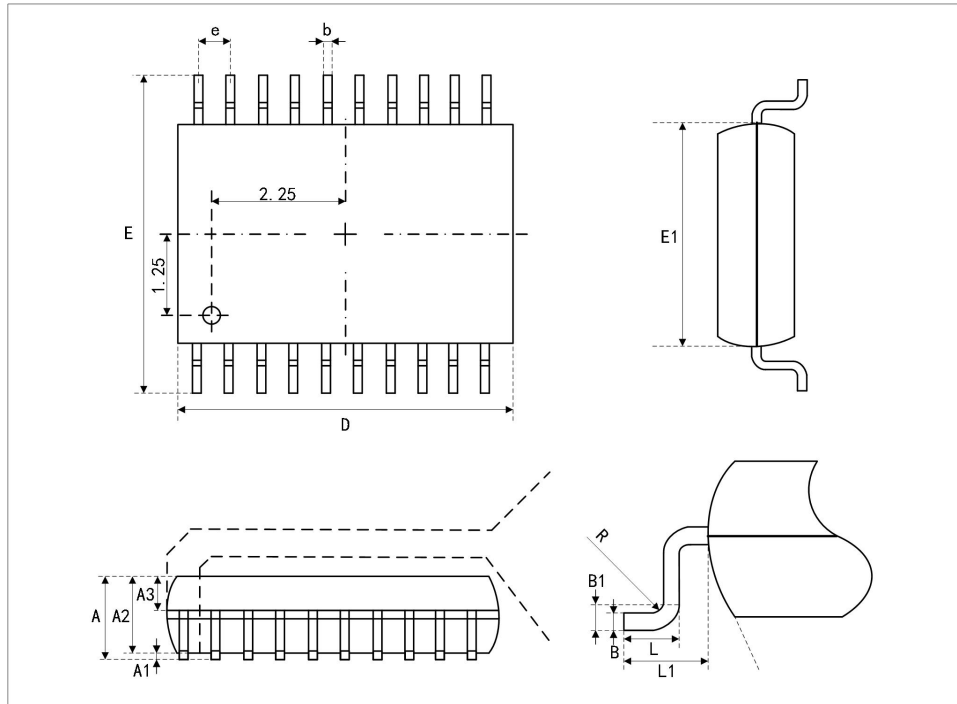
图 5.12 供电电源和参考电源去藕线路



6 封装特性

6.1 封装特性

图 6.1 TSSOP20

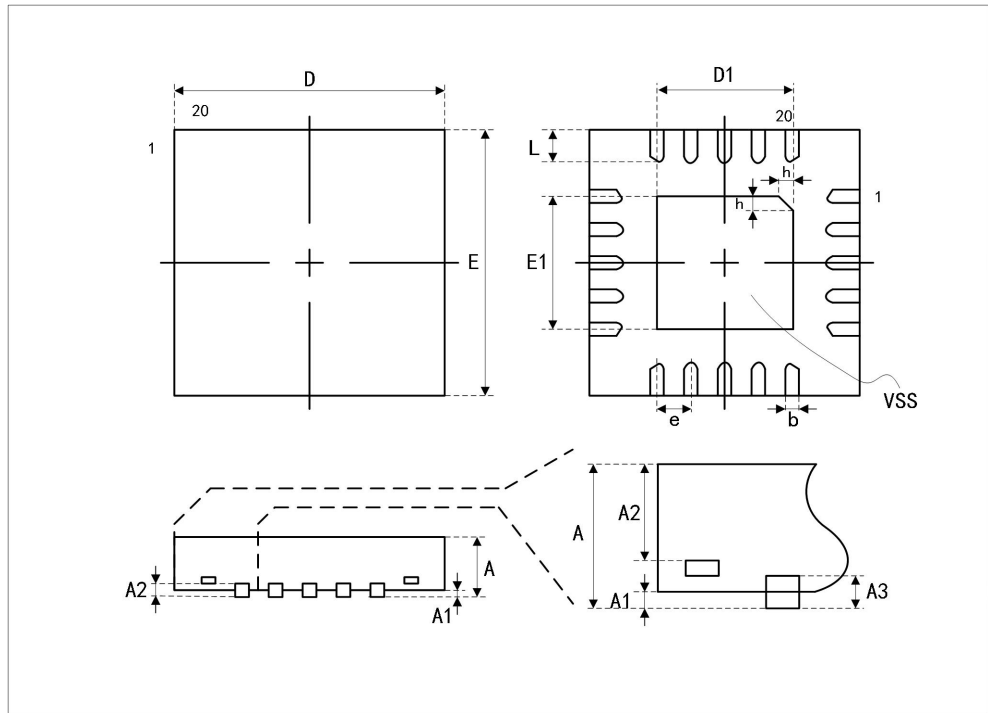


1. 图不是按照比例绘制。

表 6.1 TSSOP20 间距封装机械数据

标号	毫米		
	最小值	典型值	最大值
D	6.40	6.45	6.50
E	6.25	6.40	6.55
E1	-	4.35	4.40
e	0.55	0.65	0.75
b	0.20	0.22	0.24
A	1.0	-	1.10
A1	0.05	-	0.15
A2	-	-	0.95
A3	0.39	-	0.40
L	0.50	0.60	0.70
L1	-	1.0	-
R	0.09	-	-
B	0.12	0.13	0.14
B1	-	0.25	-

图 6.2 QFN20



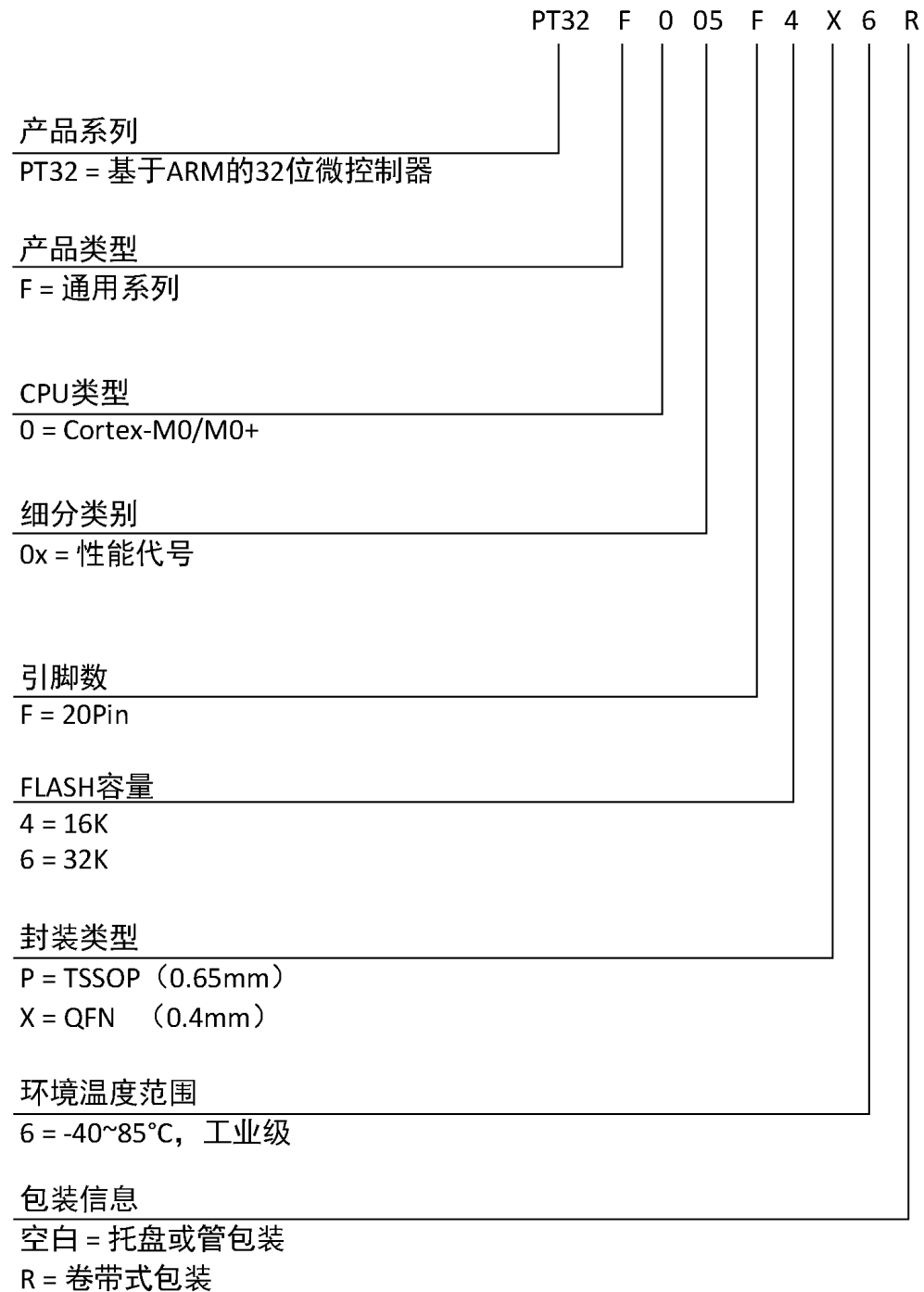
1. 图不是按照比例绘制。
2. 散热焊盘应当接地处理

表 6.1 QFN20, 3*3mm, 0.4mm 间距封装机械数据

标号	毫米		
	最小值	典型值	最大值
D	2.90	3.00	3.10
D1	1.55	1.65	1.75
E	2.90	3.00	3.10
E1	1.55	1.65	1.75
e	-	0.4	-
b	0.15	0.20	0.25
L	0.35	0.40	0.45
h	0.20	0.25	0.30
A	0.70	0.75	0.80
A1	-	0.02	0.05
A2	0.18	0.20	0.25

6.2 订货代码

表 6.2 订货代码信息图示



关于更多的选项列表(速度、封装等)和其他相关信息，请与邻近的 PT 销售处联络。

7 版本历史

表 7.1 文档版本历史

日期	版本	变更
2022-02-27	1.0	初始发行
2022-06-13	1.2	<ol style="list-style-type: none">1. 优化一些细节描述2. 修正表 5.3.3 内嵌复位和电源控制模块特性描述错误3. 修正封面页中一处基本型号, 由"PT32F003F4"更正为"PT32F005F6"4. 修正 SPI 接从模式的最大频率为 4Mhz
2023-05-19	1.3	<ol style="list-style-type: none">1. 优化了一些细节描述2. 修正了一些文字错误3. 增加了一处 LSI 的常温精度特性
2023-06-01	1.4	<ol style="list-style-type: none">1. 优化了一些细节描述2. 删除了 003 相关信息